

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-057292

(43)Date of publication of application : 22.02.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 23/12

(21)Application number : 2000-243783

(71)Applicant : IEP TECHNOLOGIES:KK
CASIO COMPUT CO LTD

(22)Date of filing : 11.08.2000

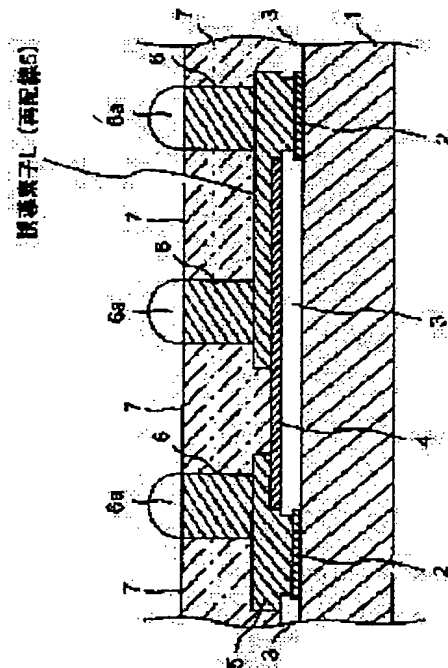
(72)Inventor : TAWARA IWAO
MIHARA ICHIRO
AOKI YOSHITAKA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device together with its manufacturing method where an inductive element (inductor) is mounted with no increase in a chip area.

SOLUTION: A conductor layer arranged in a circuit element formation region is so patterned as to generate an inductance component to form an inductive element L. Thus, an inductive element is mounted with no increase in a chip area. The inductive element L is covered with a protective film for stable induction characteristics. Further, a magnetic film may be formed on the inductive element L through a protective film for reduced size and improved induction characteristics of the inductive element.



LEGAL STATUS

[Date of request for examination] 13.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

- [Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-57292
(P2002-57292A)

(43) 公開日 平成14年2月22日 (2002. 2. 22)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 27/04		H 0 1 L 23/12	5 0 1 P 5 F 0 3 8
21/822		27/04	L
23/12	5 0 1		E

審査請求 有 請求項の数15 O L (全 10 頁)

(21) 出願番号 特願2000-243783(P2000-243783)

(22) 出願日 平成12年8月11日 (2000. 8. 11)

(71) 出願人 500224531

株式会社アイ・イー・ピー・テクノロジー
ズ

東京都八王子市東浅川町550番地の1

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 田原 伊和男

東京都八王子市東浅川町550番地の1 株
式会社アイ・イー・ピー・テクノロジー
内

(74) 代理人 100096699

弁理士 鹿嶋 英貴

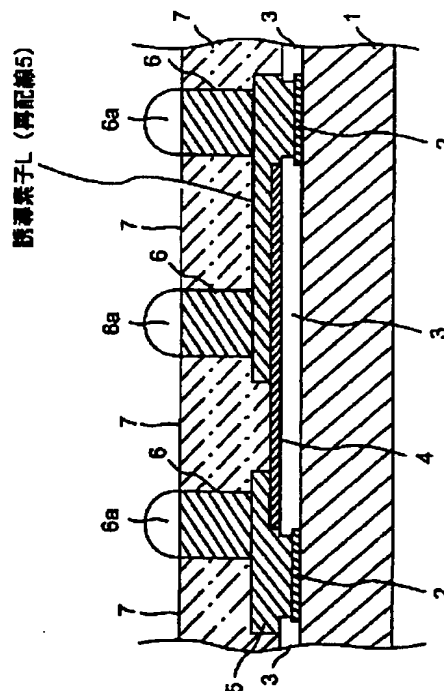
最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 チップ面積の増大を招くことなく誘導素子
(インダクタ) を搭載することができる半導体装置およ
びその製造方法を実現する。

【解決手段】 回路素子形成領域上に配置される導体層
をインダクタンス成分が生じるようにパターンニングして
誘導素子Lを形成するので、チップ面積の増大を招くこ
となく誘導素子を搭載することができる。また、誘導素
子Lを保護膜で覆うようにすることによって、安定した
誘導特性を得ることができる。さらに、誘導素子L上
に、保護膜を介して磁性体膜を形成するように構成する
ことによって、誘導素子の小型化及び誘導特性の向上を
図ることができる。



【特許請求の範囲】

【請求項 1】 回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記複数の接続パッドに接続されるとともに、前記回路素子形成領域上に前記絶縁膜を介して配置される複数の第 1 の導体層と、前記複数の第 1 の導体層上に設けられた複数の柱状電極と、を備える半導体装置において、前記絶縁膜上に形成された、少なくとも 1 つの第 2 の導体層を備え、該第 2 の導体層により形成された誘導素子を備えていることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の発明において、前記誘導素子を保護膜で覆うことを特徴とする半導体装置。

【請求項 3】 請求項 2 に記載の半導体装置において、前記誘導素子上に前記保護膜を介して磁性体膜が形成されていることを特徴とする半導体装置。

【請求項 4】 請求項 1 に記載の発明において、前記誘導素子の一端および他端が前記接続パッドに接続されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 に記載の発明において、前記誘導素子の一端が前記接続パッドに接続され、他端に柱状電極が設けられていることを特徴とする半導体装置。

【請求項 6】 請求項 1 に記載の発明において、前記誘導素子の一端および他端に柱状電極が設けられていることを特徴とする半導体装置。

【請求項 7】 請求項 1 に記載の発明において、前記誘導素子を複数備えていることを特徴とする半導体装置。

【請求項 8】 請求項 7 に記載の発明において、前記複数の誘導素子を保護膜で覆うとともに、該複数の誘導素子のうち、少なくとも 1 つの誘導素子上に、前記保護膜を介して磁性体膜が形成されていることを特徴とする半導体装置。

【請求項 9】 請求項 7 に記載の発明において、前記複数の誘導素子は、誘導素子の、一端および他端が前記接続パッドに接続されている構成、一端が前記接続パッドに接続され、他端に柱状電極が設けられている構成、及び、一端および他端に柱状電極が設けられている構成のうち、少なくとも 2 種類の構成を備えていることを特徴とする半導体装置。

【請求項 10】 回路素子形成領域と複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記複数の接続パッドに接続されるとともに、前記回路素子形成領域上に前記絶縁膜を介して配置される複数の第 1 の導体層と、前記複数の第 1 の導体層上に設けられた複数の柱状電極と、を備える半導体装置の製造方法において、前記絶縁膜上に少なくとも 1 つの第 2 の導体層を形成する工程と、該第 2 の導体層により誘導素子を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 10 に記載の発明において、前記誘導素子上に保護膜を形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 11 に記載の発明において、前記誘導素子上に、前記保護膜を介して磁性体膜を形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項 13】 回路素子形成領域と複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板を準備する工程と、

前記各チップ形成領域の回路素子形成領域上に絶縁膜を形成する工程と、

前記絶縁膜上に、導体層により誘導素子を形成する工程と、

前記複数の接続パッドに接続された、少なくとも 1 つの柱状電極を形成する工程と、

前記半導体ウェハ基板を前記チップ形成領域毎に分断して複数の半導体装置を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 13 に記載の発明において、前記誘導素子を形成する工程は、前記誘導素子を覆う保護膜を形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 14 に記載の発明において、前記誘導素子を形成する工程は、前記誘導素子上に、前記誘導素子を覆う保護膜を介して磁性体膜を形成する工程を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CSP (Chip Size Package) 構造の半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、チップとパッケージのサイズがほぼ等しくなる CSP 構造の半導体装置が知られており、その構造例を図 14 に示す。この図に示す半導体装置 20 は、保護膜形成、導体層形成、ポスト形成および樹脂封止の各工程からなるパッケージ処理を終えたウェハを個々のチップにダイシングして得られる、所謂ウェハレベル CSP と呼ばれる構造を有している。すなわち、半導体装置 20 は、ウェハ (半導体基板) 1 の表面 (回路面) 側にアルミ電極等からなる複数の接続パッド 2 を有し、この接続パッド 2 の上面側には各接続パッド 2 の中央部を露出するように、酸化シリコンあるいは窒化シリコン等からなるパッシベーション 3 が形成される。

【0003】パッシベーション 3 の上面側には、各接続パッド 2 の中央部分が開口するよう保護膜 4 が形成される。保護膜 4 は例えばウェハ 1 の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニング

を施してからレジスト剥離することで形成される。こうして形成される保護膜 4 上には、各接続パッド 2 と後述するポスト（柱状電極）6 とを電氣的に接続する導体層 5 が形成される。導体層 5 上の所定箇所には、柱状電極である複数のポスト 6 が設けられる。

【0004】ポスト 6 を覆うように、ウエハ 1 の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして封止膜 7 が形成される。封止膜 7 の上端面は切削研磨され、これにより露出するポスト 6 の端面 6 a については、その表面の酸化膜を取り除き、そこにハンダ印刷等のメタライズ処理が施される。

【0005】

【発明が解決しようとする課題】ところで、Bluetooth モジュール等の無線 I/F を具現するトランシーバチップでは、PLL 回路や VCO 回路あるいはフィルタ回路などの RF 機能要素が必須になる。これら RF 機能要素を具現するには、誘導素子（インダクタ）等の各種受動素子をウエハ 1 の回路素子形成領域 DA（図 2 参照）に設ける必要がある。

【0006】しかしながら、回路素子形成領域 DA に誘導素子を形成しようとする、必然的にチップ面積の増大を招致してしまう。上述した CSP 構造による半導体装置 20 において、チップ面積が増大すると、1 枚のウエハから個片化されるチップの数が少なくなる上、製造歩留りも悪化する、という問題が生じる。その為、現状では RF 機能要素を具現する各種受動素子をディスクリート部品としてチップに外付けする形態としているが、そのような形態では RF モジュールのダウンサイジング化が難しい、という弊害も派生する。

【0007】そこで本発明は、このような事情に鑑みてなされたもので、チップ面積の増大を招くことなく誘導素子を搭載することができる半導体装置および半導体装置の製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】上記目的を達成するため、請求項 1 に記載の半導体装置は、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記複数の接続パッドに接続されるとともに、前記回路素子形成領域上に前記絶縁膜を介して配置される複数の第 1 の導体層と、前記複数の第 1 の導体層上に設けられた複数の柱状電極と、を備える半導体装置において、前記絶縁膜上に形成された、少なくとも 1 つの第 2 の導体層を備え、該第 2 の導体層により形成された誘導素子を備えていることを特徴とする。

【0009】請求項 2 に記載の半導体装置は、請求項 1 に記載の発明において、前記誘導素子を保護膜で覆うことを特徴とする。

【0010】請求項 3 に記載の半導体装置は、請求項 2 に記載の半導体装置において、前記誘導素子上に前記保

護膜を介して磁性体膜が形成されていることを特徴とする。

【0011】請求項 4 に記載の半導体装置は、請求項 1 に記載の発明において、前記誘導素子の一端および他端が前記接続パッドに接続されていることを特徴とする。

【0012】請求項 5 に記載の半導体装置は、請求項 1 に記載の発明において、前記誘導素子の一端が前記接続パッドに接続され、他端に柱状電極が設けられていることを特徴とする。

【0013】請求項 6 に記載の半導体装置は、請求項 1 に記載の発明において、前記誘導素子の一端および他端に柱状電極が設けられていることを特徴とする。

【0014】請求項 7 に記載の半導体装置は、請求項 1 に記載の発明において、前記誘導素子を複数備えていることを特徴とする。

【0015】請求項 8 に記載の半導体装置は、請求項 7 に記載の発明において、前記複数の誘導素子を保護膜で覆うとともに、該複数の誘導素子のうち、少なくとも 1 つの誘導素子上に、前記保護膜を介して磁性体膜が形成されていることを特徴とする。

【0016】請求項 9 に記載の半導体装置は、請求項 7 に記載の発明において、前記複数の誘導素子は、誘導素子の、一端および他端が前記接続パッドに接続されている構成、一端が前記接続パッドに接続され、他端に前記柱状電極が設けられている構成、及び、一端および他端に前記柱状電極が設けられている構成のうち、少なくとも 2 種類の構成を備えていることを特徴とする。

【0017】請求項 10 に記載の半導体装置の製造方法は、回路素子形成領域と複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記複数の接続パッドに接続されるとともに、前記回路素子形成領域上に前記絶縁膜を介して配置される複数の第 1 の導体層と、前記複数の第 1 の導体層上に設けられた複数の柱状電極と、を備える半導体装置の製造方法において、前記絶縁膜上に少なくとも 1 つの第 2 の導体層を形成する工程と、該第 2 の導体層により誘導素子を形成する工程と、を具備することを特徴とする。

【0018】請求項 11 に記載の半導体装置の製造方法は、請求項 10 に記載の発明において、前記誘導素子上に保護膜を形成する工程を具備することを特徴とする。

【0019】請求項 12 に記載の半導体装置の製造方法は、請求項 11 に記載の発明において、前記誘導素子上に、前記保護膜を介して磁性体膜を形成する工程を具備することを特徴とする。

【0020】請求項 13 に記載の半導体装置の製造方法は、回路素子形成領域と複数の接続パッドを有するチップ形成領域を複数備える半導体ウエハ基板を準備する工程と、前記各チップ形成領域の回路素子形成領域上に絶縁膜を形成する工程と、前記絶縁膜上に、導体層により誘導素子を形成する工程と、前記複数の接続パッドに接

10

20

30

40

50

続された、少なくとも1つの柱状電極を形成する工程と、前記半導体ウェハ基板を前記チップ形成領域毎に分断して複数の半導体装置を形成する工程と、を具備することを特徴とする。

【0021】請求項14に記載の半導体装置の製造方法は、請求項13に記載の発明において、前記誘導素子を形成する工程は、前記誘導素子を覆う保護膜を形成する工程を具備することを特徴とする。

【0022】請求項15に記載の半導体装置の製造方法は、請求項14に記載の発明において、前記誘導素子を形成する工程は、前記誘導素子上に、前記誘導素子を覆う保護膜を介して磁性体膜を形成する工程を具備することを特徴とする。

【0023】本発明では、回路素子形成領域上に配置される導体層をインダクタンス成分が生じるようにパターンニングして誘導素子Lを形成するので、チップ面積の増大を招くことなく誘導素子を搭載することができる。また、本発明では、そのようにして形成された誘導素子Lの上面および下面を保護膜8で挟み込むようにした為、チップ面積の増大を招くことなく誘導素子を搭載でき、しかも安定した誘導特性を得ることができる。さらに、本発明では、誘導素子Lを覆う保護膜上に磁性体膜を形成するから、チップ面積の増大を招くことなく誘導素子を搭載でき、しかも強インダクタンスを生成し得る結果、誘導素子の小型化を図ることができる。

【0024】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

(1) 第1の実施形態

図1～図7は、第1の実施形態による半導体装置20の構造およびその製造工程を説明する為の断面図である。これらの図において前述した従来例(図14参照)と共通する部分には同一の番号を付し、その説明を省略する。第1の実施形態による半導体装置20が前述した従来例(図14参照)と相違する点は、保護膜4上に設けられる導体層5をインダクタンス成分が生じるようにパターンニングして誘導素子Lを形成したことにある。

【0025】図1に図示する構造の場合、誘導素子Lの一方側下面が接続パッド2を介してウェハ1の回路素子形成領域(不図示)に接続されると共に、一方側上面にはポスト6が形成される。また、誘導素子Lの他方側は保護膜4上に設けられ、他方側上面にはポスト6が形成される。こうして形成される誘導素子Lには、インダクタンス成分を生じせしめる形状として、角渦巻き状、つづら折れ状(矩形波状)あるいはループ状のパターンニングが用いられる。また、誘導素子Lは、回路素子形成領域DA上に各種態様で配置でき、例えば角渦巻き状でパターンニングされた誘導素子Lにて比較的大きなインダクタンス成分を発生させる場合には図2(イ)に図示する態様、あるいは複数の誘導素子Lを設ける場合には図2

(ロ)に図示する態様にする。

【0026】次に、図3～図7を参照して、上記構造による半導体装置20の製造工程について説明する。第1の実施形態による製造工程では、先ず図3に図示する通り、ウェハ1の回路面側に設けられたアルミ電極等からなる複数の接続パッド2の上面側に、それぞれ各接続パッド2の中央部を露出するように、酸化シリコンあるいは窒化シリコン等からなるパッシベーション3を形成した後、このパッシベーション3の上面側に各接続パッド2の中央部分が開口するよう保護膜4を形成する。

【0027】この保護膜4は、例えばウェハ1の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。保護膜4は、ポリイミド系樹脂材を塗布してスピコートする手法の他、スキージを用いる印刷法やノズルからのインク吐出による塗布法を用いることが可能であり、保護膜材料としてもポリイミド系樹脂材に限らず、エポキシ系樹脂材やPBO(ベンザオキシドール系)等を用いても良い。

【0028】次に、図4に図示するように、保護膜4に形成された開口部を介して露出される接続パッド2上に導体層5および誘導素子Lを形成する。導体層5および誘導素子Lは保護膜4の全面にUBMスパッタ処理等によりUBM層(図示略)を堆積し、この後、導体層用および誘導素子用のフォトリソグロフ技術により所定形状の開口部分に対応したパターンニングや誘導素子用のパターンニングを施した後、このレジストによって開口された部分に電解メッキを施すことで形成される。なお、導体層5および誘導素子Lを形成する手法としては、これ以外に無電解メッキ方法を用いることもできる。配線材料としては、良好な導電特性を備える銅、アルミおよび金あるいはこれらの合金を用いる。

【0029】導体層5および誘導素子Lを形成した後は、図5に図示するように、その導体層5および誘導素子L上の所定箇所にはポスト6を設ける。ポスト6は、例えば100～150μm程度の厚さでポスト形成用のフォトリソグロフ技術を用いて塗布硬化させた上、各導体層5および誘導素子Lの所定箇所を露出する開口部を形成し、この開口部内に電解メッキを施すことで形成される。ポスト6を形成する手法としては、これ以外に無電解メッキ方法やスタッドバンプ法を用いることもできる。ポスト材料は、良好な導電特性を備える銅、ハンダ、金あるいはニッケル等を用いる。なお、ポスト形成材料としてはんだを用いる場合は、この後リフロー処理を施す事により球状の電極を形成することも出来る。また、はんだを用いてポスト6を形成する場合には、上記の他に印刷法を用いることもできる。

【0030】こうして、図5に図示した構造が形成され

た後は、図6に図示するように、ポスト6を覆うように、ウエハ1の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして封止膜7を形成する。封止膜7は、環境変化に対応する信頼性を確保する上で、好ましくは上述した保護膜4と主成分が実質的に同一な樹脂材とする。なお、封止膜7を形成する手法としては、上記モールド法の他に、印刷法、浸漬法、スピコート法、ダイコート法を用いることもできる。

【0031】ポスト6の樹脂封止後には、図7に示すように、封止膜7の上端面を切削研磨してポスト6の端面6aを露出させ、その表面の酸化膜を取り除き、そこにハンダ印刷等のメタライズ処理を施す。この後、予め定められたカットラインCLに沿ってダイシングを施してウエハ1をチップに個片化する。これにより、図1に図示した構造の半導体装置20が生成される。

【0032】さて、このような構造を有する半導体装置20では、導体層5をインダクタンス成分が生じるようにパターンニングして誘導素子Lを形成しているの、導体層5およびポスト6の配置態様に応じて誘導素子Lを様々な形態で集積回路(LSI)に接続し得る。その具体例を、図8～図11を参照して説明する。これらの図は、半導体装置20における導体層5およびポスト6の配置態様に応じた誘導素子Lの接続形態と、それに対応する等価回路とを図示している。

【0033】図8は誘導素子Lの一端を、ポスト6を介して端子T2に接続する一方、他端を、ポスト6を介して端子T3に出力しながら接続パッド2-2に接続する形態を図示している。図9は誘導素子Lの一端を、ポスト6を介して端子T2に出力しながら接続パッド2-2に接続する一方、他端を、ポスト6を介して端子T3に出力しながら接続パッド2-3に接続する形態を図示している。図10は誘導素子Lの一端を接続パッド2-2に接続する一方、他端を接続パッド2-3に接続する形態を図示している。図11は誘導素子Lを接続パッド2に接続せずに、両端をそれぞれ端子T2、T3に接続する形態を図示している。

【0034】以上のように、第1の実施形態によれば、回路素子形成領域DA上で導体層5をインダクタンス成分が生じるようにパターンニングして誘導素子Lを形成したので、チップ面積の増大を招くことなく誘導素子を搭載することが可能になる。また、回路素子形成領域DA上に複数の誘導素子を設ける場合に、図8～図11に示した誘導素子の各種形態が混在して設けられるようにしてもよいことは、いうまでもない。

【0035】すなわち、第1の実施形態によれば、導体層5およびポスト6の配置態様に応じて誘導素子Lを様々な形態で集積回路(LSI)に接続し得るので、チップ面積のダウンサイジング化は勿論、Bluetoothモジュールに適用した場合には従来、必要とされていた外付け誘導素子を内蔵できるから、モジュールのダウ

ンサイジング化にも寄与することができる。

【0036】なお、上述した第1の実施形態では、誘導素子Lを単層としたが、これに限らず絶縁膜と誘導素子Lとを交互に積み重ねた複層構造にて複数の誘導素子Lを形成しても良い。また、第1の実施形態では、説明の簡略化を図る為、単に導体層5をインダクタンス成分が生じるようにパターンニングして誘導素子Lを形成するようにしたが、実際にはその誘導素子Lが他の導体層5に与える電磁誘導を抑えるために、例えば、導体層5と同一平面の近傍位置に、導体層5と同じ材料よりなる、グランド層を設けてシールドする態様としても良い。

【0037】(2) 第2の実施形態

次に、図12を参照して、第2の実施形態による半導体装置20の構造について説明する。この図において上述した第2の実施形態(図1参照)と共通する部分には同一の番号を付し、その説明を省略する。上述した第1の実施形態では、保護膜4上に設けられる導体層5をインダクタンス成分が生じるようにパターンニングして誘導素子Lを形成したが、第2の実施形態では図12に図示するように、そのようにして形成した誘導素子Lおよび導体層5上に第2の保護膜8を設けた構造としている。

【0038】このような構造によれば、誘導素子Lが保護膜4(第1の保護膜)と第2の保護膜8とに挟み込まれる為、安定した誘導特性を得ることが可能になっている。なお、第2の保護膜4は、導体層5および誘導素子Lを形成した後、前述した第1の保護膜4と同様、例えばウエハ1の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。

【0039】(3) 第3の実施形態

次に、図13を参照して第3の実施形態について説明する。図13は第3の実施形態による半導体装置20の構造を示す断面図であり、この図において上述した第2の実施形態(図12参照)と共通する部分には同一の番号を付し、その説明を省略する。

【0040】上述した第2の実施形態では、誘導素子Lを保護膜4(第1の保護膜)と第2の保護膜8とで挟み込む構造としてが、第3の実施形態では誘導素子L上に第2の保護膜8を介して磁性体膜9を設けた構造を有する。磁性体膜9は、強磁性体材料で形成したり、あるいは樹脂材などに強磁性体材料あるいは軟磁性体材料を混入させて形成することもできる。このように誘導素子L上に第2の保護膜8を介して磁性体膜9を設けると、強インダクタ成分が生じ、その結果、誘導素子Lを小型化することができるとともに、誘導特性を向上させることができる。

【0041】

【発明の効果】請求項1および請求項10に記載の発明によれば、回路素子形成領域及び複数の接続パッドが形

10

20

30

40

50

成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記複数の接続パッドに接続されるとともに、前記回路素子形成領域上に前記絶縁膜を介して配置される複数の第1の導体層と、前記複数の第1の導体層上に設けられた複数の柱状電極と、を備える半導体装置において、前記絶縁膜上に形成された、少なくとも1つの第2の導体層を備え、該第2の導体層により回路素子形成領域上に絶縁膜を介して誘導素子を形成するようにしたので、チップ面積の増大を招くことなく誘導素子を搭載することができる。請求項2および請求項11に記載の発明によれば、回路素子形成領域上に絶縁膜を介して形成された誘導素子を保護膜で覆うようにしたので、安定した誘導特性を得ることができる。請求項3および請求項12に記載の発明によれば、回路素子形成領域上に絶縁膜を介して形成された誘導素子素子上に前記保護膜を介して磁性体膜が形成されるようにしたので、強インダクタンスを生成し得る結果、誘導素子の小型化及び誘導特性の向上を図ることができる。請求項4～6に記載の発明によれば、回路素子形成領域上に絶縁膜を介して設けられる誘導素子を、回路素子形成領域の集積回路に対して様々な形態で接続し得るので、チップ面積の縮小、及びモジュール面積の縮小をを行うことができる。請求項7～9に記載の発明によれば、回路素子形成領域上に絶縁膜を介して設けられる誘導素子を複数備え、各誘導素子を回路素子形成領域の集積回路に対して様々な形態で接続し得るので、更に、チップ面積の縮小、及びモジュール面積の縮小をを行うことができる。請求項13～15に記載の発明によれば、回路素子形成領域と複数の接続パッドを有するチップ形成領域を複数備える半導体ウエハ基板上の各チップ形成領域の回路素子形成領域上に、絶縁膜を介して導体層により誘導素子を形成し、前記複数の接続パッドに接続された、少なくとも1つの柱状電極を形成した後、前記チップ形成領域毎に分断して複数のチップを形成するようにしたので、回路素子形成領域上に、絶縁膜を介して誘導素子を搭載した複数のチップを、まとめて形成することができる。

【図面の簡単な説明】

【図1】第1の実施形態による半導体装置20の構造を示す断面図である。

【図2】誘導素子Lに配置形態を説明するための平面図

である。

【図3】第1の実施形態による半導体装置の製造工程を説明する為の断面図である。

【図4】図3に続く半導体装置の製造工程を説明する為の断面図である。

【図5】図4に続く半導体装置の製造工程を説明する為の断面図である。

【図6】図5に続く半導体装置の製造工程を説明する為の断面図である。

【図7】図6に続く半導体装置の製造工程を説明する為の断面図であり、個片化された半導体装置20の完成状態を示すものである。

【図8】誘導素子Lの接続態様を説明するための図である。

【図9】誘導素子Lの接続態様を説明するための図である。

【図10】誘導素子Lの接続態様を説明するための図である。

【図11】誘導素子Lの接続態様を説明するための図である。

【図12】第2の実施形態による半導体装置20の構造を示す断面図である。

【図13】第3の実施形態による半導体装置20の構造を示す断面図である。

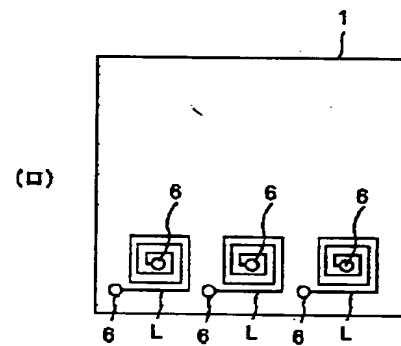
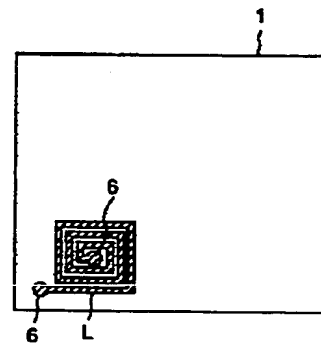
【図14】従来例による半導体装置20の構造を示す断面図である。

【図15】ウエハ1の回路素子形成領域DAを示す平面図である。

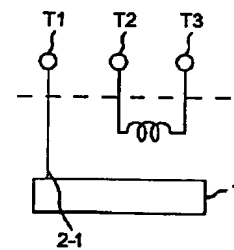
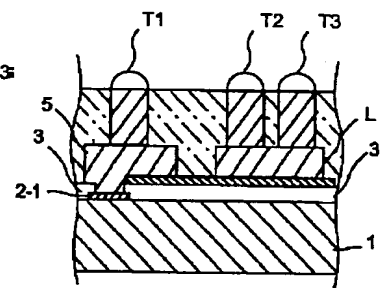
【符号の説明】

- 1 ウエハ（半導体基板）
- 2 接続パッド
- 3 パッシベーション
- 4 保護膜
- 5 導体層
- L 誘導素子
- 6 ポスト（柱状電極）
- 7 封止膜
- 8 保護膜
- 9 磁性体膜
- 20 半導体装置

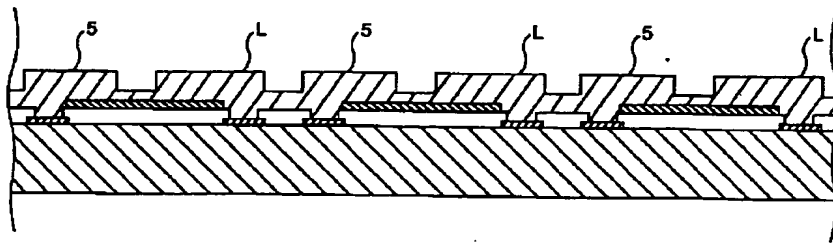
【図 2】



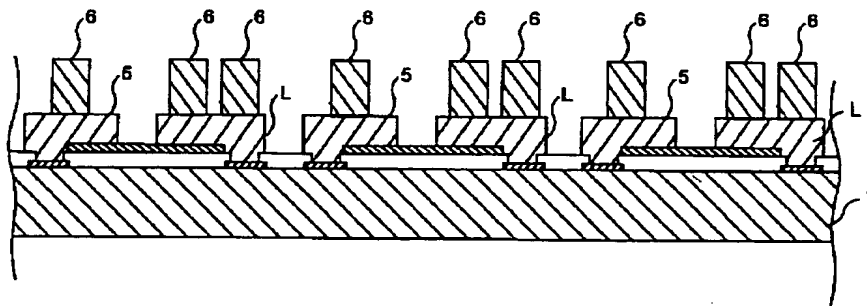
【図 1 1】



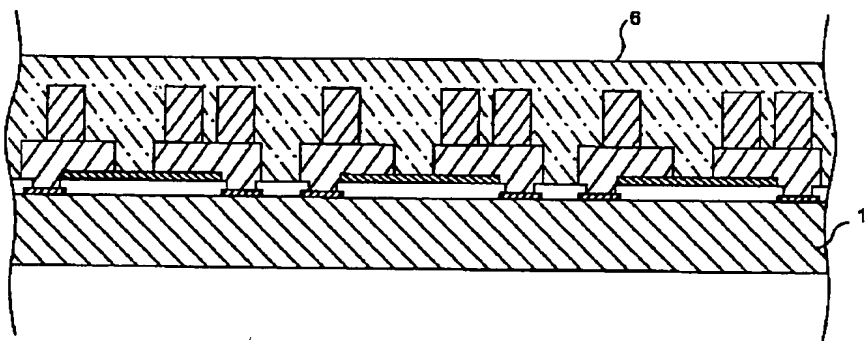
【図 4】



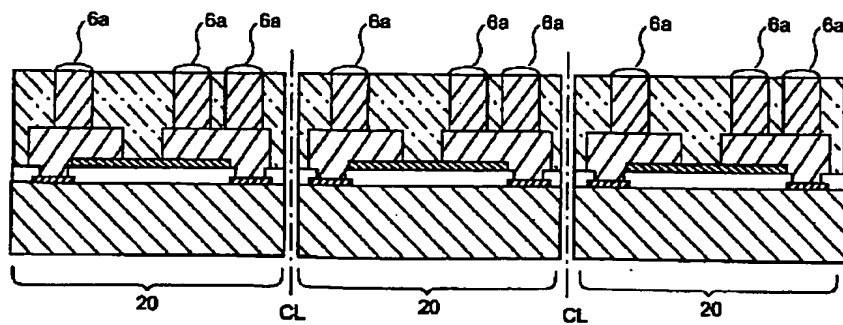
【図 5】



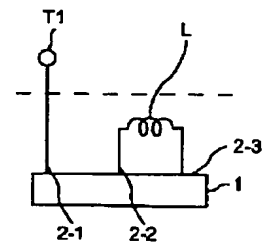
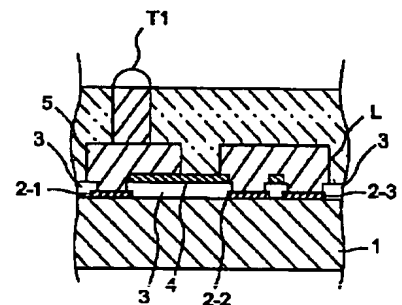
【図 6】



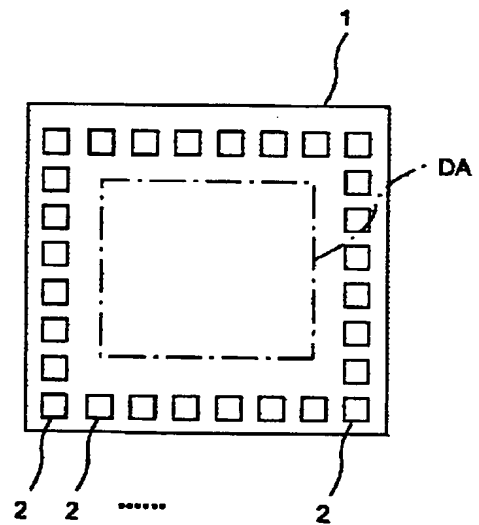
【図 7】



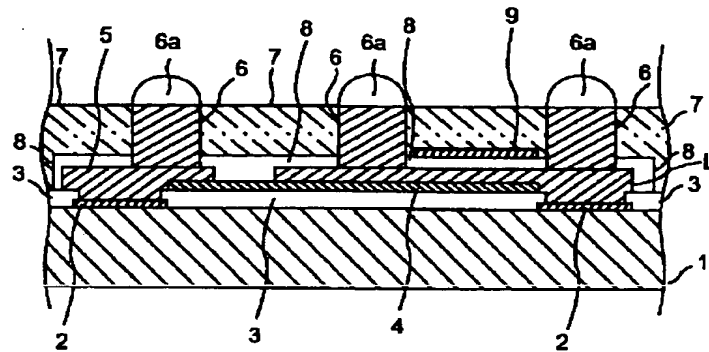
【図 10】



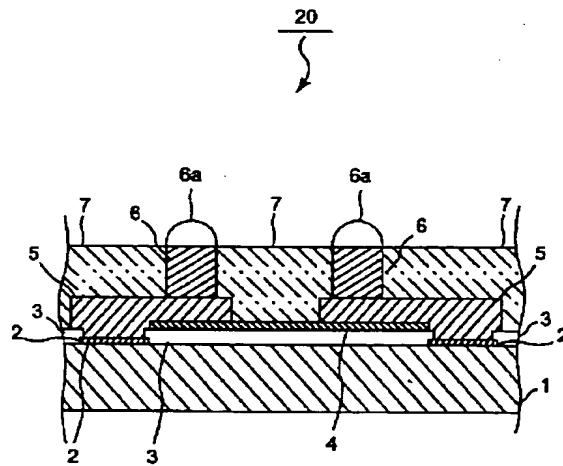
【図 15】



【図13】



【図14】



フロントページの続き

(72)発明者 三原 一郎
東京都八王子市東浅川町550番地の1 株
式会社アイ・イー・ピー・テクノロジーズ
内

(72)発明者 青木 由隆
東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内
Fターム(参考) 5F038 AZ04 CA02 CA10 EZ09 EZ19
EZ20